



PATENT  
89165.0012

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Hideo MUKAI

Serial No: 10/620,849

Filed: July 16, 2003

For: Semiconductor Memory Device,  
Electronic Card and Electronic Device

Art Unit: 2818

Examiner: Not assigned

TRANSMITTAL OF PRIORITY DOCUMENT

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

I hereby certify that this correspondence  
is being deposited with the United States  
Postal Service with sufficient postage as  
first class mail in an envelope addressed  
to:

Mail Stop MISSING PARTS  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450, on

October 27, 2003

Date of Deposit

Gary Chernyavsky

Name

Signature

10/27/03

Date

Dear Sir:

Enclosed herewith is a certified copy of Japanese patent application  
No. 2002-207383 which was filed July 16, 2002, from which priority is claimed  
under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to  
ensure that the subject information appears on the printed patent.

Respectfully submitted,

HOGAN & HARTSON L.L.P.

Date: October 27, 2003

By: 

Anthony J. Orler

Registration No. 41,232

Attorney for Applicant(s)

500 South Grand Avenue, Suite 1900  
Los Angeles, California 90071  
Telephone: 213-337-6700  
Facsimile: 213-337-6701

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月16日

出 願 番 号

Application Number:

特願2002-207383

[ ST.10/C ]:

[ JP 2002-207383 ]

出 願 人

Applicant(s):

株式会社東芝

2003年 4月11日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎

出証番号 出証特2003-3025630

【書類名】 特許願

【整理番号】 02P122

【提出日】 平成14年 7月16日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/00

【発明の名称】 半導体記憶装置

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝  
マイクロエレクトロニクスセンター内

【氏名】 向井 秀夫

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100092820

【弁理士】

【氏名又は名称】 伊丹 勝

【電話番号】 03-5216-2501

【手数料の表示】

【予納台帳番号】 026893

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9810498

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 一様なピッチで配列されたビット線を有するセルアレイと、  
前記ビット線を選択的にセンスアンプに接続するための各ビット線端部に接続  
されたビット線選択トランジスタとを備え、

前記ビット線選択トランジスタは、前記ビット線と直交する方向に、前記ビッ  
ト線のピッチの整数倍からずれた平均配列ピッチをもって並進配列されている  
ことを特徴とする半導体記憶装置。

【請求項 2】 一様なピッチで配列されたビット線を有するセルアレイと、  
前記ビット線を選択的にセンスアンプに接続するための各ビット線端部に接続  
されたビット線選択トランジスタとを備え、

前記ビット線選択トランジスタは、前記ビット線と直交する方向に、前記ビッ  
ト線のピッチの 8 倍より大きな平均配列ピッチをもって並進配列されている  
ことを特徴とする半導体記憶装置。

【請求項 3】 前記平均配列ピッチが前記ビット線ピッチの 2 のべき乗倍以  
外の整数である  
ことを特徴とする請求項 2 記載の半導体記憶装置。

【請求項 4】 前記ビット線選択トランジスタの前記ビット線と直交する方  
向の配列に 2 種以上の配列ピッチを有する  
ことを特徴とする請求項 1 乃至 3 のいずれかに記載の半導体記憶装置。

【請求項 5】 前記ビット線選択トランジスタは、前記ビット線の長手方向  
に複数段配列され且つ、ビット線位置に応じて 2 種以上の配列段数を有する  
ことを特徴とする請求項 1 乃至 4 のいずれかに記載の半導体記憶装置。

【請求項 6】 前記ビット線選択トランジスタは、そのゲート幅方向が前記  
ビット線と直交するようにレイアウトされている  
ことを特徴とする請求項 1 乃至 5 のいずれかに記載の半導体記憶装置。

【請求項 7】 前記ビット線選択トランジスタは、そのゲート長方向が前記  
ビット線と直交するようにレイアウトされている

ことを特徴とする請求項 1 乃至 5 のいずれかに記載の半導体記憶装置。

【請求項 8】 偶数番目のビット線を選択するビット線選択トランジスタとこれと隣接する奇数番目のビット線を選択するビット線選択トランジスタは共通のソース／ドレイン拡散層を持って形成され、前記共通のソース／ドレイン拡散層は、隣接する奇数番目と偶数番目のビット線で共有されるセンスアンプにつながるセンス用ビット線に接続されている

ことを特徴とする請求項 1 乃至 7 のいずれかに記載の半導体記憶装置。

【請求項 9】 前記セルアレイは、電氣的書き込み及び消去が可能な不揮発性メモリセルを配列して構成されている

ことを特徴とする請求項 1 乃至 8 のいずれかに記載の半導体記憶装置。

【請求項 10】 前記不揮発性メモリセルは、複数個ずつ隣接するもの同士でソース／ドレイン拡散層を共有して直列接続された NAND セルユニットを構成している

ことを特徴とする請求項 9 記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体記憶装置に係り、特にセルアレイ端にビット線選択トランジスタが配置された、電氣的書き込み及び消去が可能な不揮発性半導体記憶装置（EEPROM）に関する。

【0002】

【従来の技術】

大容量の NAND 型 EEPROM では、微細ピッチで配列されるビット線を奇数番と偶数番に分けて、そのいずれか一方を選択してセンスアンプに接続するように構成される。この場合、セルアレイのビット線端には、奇偶のビット線を選択するためのビット線選択トランジスタが配置される。

【0003】

図 10 は、その様な NAND 型 EEPROM における隣接する奇数番ビット線 BLo と偶数番ビット線 BL e に着目して、セルアレイ 1 からセンスアンプ（S

／A) 2までの構成を示している。セルアレイ1は、複数(図の例では16個)の不揮発性メモリセルMC0～MC15が直列接続されたNANDセルユニットを配列して構成される。各NANDセルユニットの一端は、選択トランジスタS1を介してビット線BL<sub>o</sub>又はBL<sub>e</sub>に接続され、他端は選択トランジスタS2を介して共通ソース線CELSRCに接続される。

#### 【0004】

メモリセルMC0～MC15の制御ゲートはそれぞれ、ビット線BL<sub>o</sub>、BL<sub>e</sub>と交差して配設されるワード線WL0～WL15に接続される。選択トランジスタS1、S2のゲートはワード線と並行する選択ゲート線SGD、SGSに接続される。このセルアレイ1のビット線BL<sub>o</sub>、BL<sub>e</sub>端部は、選択信号BLS<sub>o</sub>、BLS<sub>e</sub>により制御されるビット線選択トランジスタQ0、Q1を介して、共通のセンス用ビット線SBLに接続され、このセンス用ビット線SBLにセンスアンプ2が接続される。

#### 【0005】

ビット線選択トランジスタQ0、Q1は、高耐圧トランジスタであることが要求される。これは、データ消去時にビット線に高電圧の消去電圧がかかるためである。この事情を具体的に説明する。NAND型EEPROMでは、データ書き込みは、p型ウェルを0Vに保持して、選択されたワード線に20V程度の書き込み電圧を与えて、チャネル領域から選択セルの浮遊ゲートに電子を注入させる。これにより、セルのしきい値が高くなった状態が書き込み状態(例えば、“0”データ状態)である。一方、データ消去は、p型ウェルを共有するセルブロック単位での一括消去が行われる。この消去時は、セルブロック内の全ワード線を0V、ビット線をフローティングとして、p型ウェルには、20V程度の消去電圧を印加して、各メモリセルの浮遊ゲートの電荷を基板側に放出させる。これにより、メモリセルは、しきい値の低い消去状態となる。

#### 【0006】

データ消去時、ビット線が接続されたn型拡散層とp型ウェルの間は順バイアスになるためには、フローティングに保持されるビット線にまで消去電圧20Vが現れることになる。ビット線選択トランジスタは、セルアレイのp型ウェルと

は別の p 型ウェルに形成されるが、ビット線が 20 V にまでなったときに、ビット線選択トランジスタの n 型ソース／ドレイン拡散層と p 型ウェルとの間で接合破壊が生じると、周辺回路の破壊につながる。従って周辺回路保護のためには、ビット線選択トランジスタは高耐圧でなければならない。

## 【0007】

以上のように、ビット線選択トランジスタは高耐圧トランジスタである必要から、その小型化には制約があり、セルアレイのビット線をより微細ピッチで配列したときに、ビット線選択トランジスタのレイアウトが問題になる。具体的にこの問題を説明する。

## 【0008】

図 11 は、あるカラムアドレス  $\langle k \rangle$  で 8 ビット単位でデータ入出力を行う場合の、奇偶 8 本ずつの 16 本のビット線  $BL_{o0} \langle k \rangle$ ,  $BL_{e0} \langle k \rangle$ , ...,  $BL_{o7} \langle k \rangle$ ,  $BL_{e7} \langle k \rangle$  と、これに対応する 16 個のビット線選択トランジスタ  $Q_0 \sim Q_{15}$  のレイアウト例を示している。図示のように、ビット線選択トランジスタは、隣接する奇偶ビット線対応の 2 個ずつがソース／ドレイン拡散層を共有して、ビット線方向に 8 段ずつの 2 列が配置される。ビット線選択トランジスタのゲート（斜線で示す）は、ビット線と交差する方向に連続的にパターン形成されて、選択信号  $BL_{S0}$ ,  $BL_{S7}$  が与えられることになる。

## 【0009】

8 段のビット線選択トランジスタは、ビット線ピッチを  $a$  として、8 ビット線分のピッチ  $b (= 8a)$  で配列される。拡散層を共有する各トランジスタ対の共有拡散層がセンス用ビット線  $SB_{L0} \sim SB_{L7}$  に接続される。即ち、8 段  $\times$  2 列のビット線選択トランジスタから 8 本のセンス用ビット線  $SB_{L0} \langle k \rangle \sim SB_{L7} \langle k \rangle$  が引き出されて、これが 8 個のセンスアンプ  $S/A_0 \sim S/A_7$  に接続される。この 8 個のセンスアンプ  $S/A_0 \sim S/A_7$  の 8 ビットデータが、1 カラムアドレスで同時に入出力バッファを介して入出力されることになる。

## 【0010】

【発明が解決しようとする課題】

図 11 のレイアウトにおいて、ビット線ピッチ  $a$  が更に微細化された場合に、

ビット線選択トランジスタの配列ピッチ  $b = 8a$  を確保することが難しくなる。これに対して、ビット線選択トランジスタの配列ピッチを 16 ビット線分のピッチ  $b = 16a$  とすることが考えられる。この場合、ビット線選択トランジスタの配列は、16 ビット線に対して 16 段 1 列となる。しかしこれは、ビット線選択トランジスタの配置に必要以上の周期を与える結果となり、チップの面積効率を著しく低下させることになる。

#### 【0011】

この発明は、上記事情を考慮してなされたもので、面積効率を低下させることなくビット線選択トランジスタを配置した半導体記憶装置を提供することを目的としている。

#### 【0012】

##### 【課題を解決するための手段】

この発明に係る半導体記憶装置は、一様なピッチで配列されたビット線を有するセルアレイと、前記ビット線を選択的にセンスアンプに接続するための各ビット線端部に接続されたビット線選択トランジスタとを備え、前記ビット線選択トランジスタは、前記ビット線と直交する方向に、前記ビット線のピッチの整数倍からずれた平均配列ピッチをもって並進配列されていることを特徴とする。

この発明はまた、前記ビット線選択トランジスタが、前記ビット線と直交する方向に、前記ビット線のピッチの 8 倍より大きな整数倍（より具体的には、2 のべき乗倍以外の整数倍であって、例えば 10 倍）の平均配列ピッチをもって並進配列されていることを特徴とする。

#### 【0013】

この発明によると、ビット線選択トランジスタを、そのビット線と直交する方向の平均配列ピッチがビット線ピッチの整数倍からずれた状態に、或いはビット線ピッチの 8 倍より大きな整数倍になるようにレイアウトすることによって、面積効率を低下させることなく、ビット線選択トランジスタの配置が可能になる。

#### 【0014】

この発明において具体的に、ビット線選択トランジスタのビット線と直交する方向の配列に 2 種以上の配列ピッチを有するものとする。また、ビット線選択ト

ランジスタは、ビット線の長手方向に複数段配列され且つ、ビット線位置に応じて2種以上の配列段数を有するものとする。

#### 【0015】

ビット線選択トランジスタは、ゲート幅方向がビット線と直交するようにレイアウトしてもよいし、或いはゲート長方向がビット線と直交するようにレイアウトしてもよい。

#### 【0016】

この発明において、ビット線選択トランジスタは具体的には、奇数番のビット線と偶数番のビット線を選択するものであって、偶数番目のビット線を選択するビット線選択トランジスタとこれと隣接する奇数番目のビット線を選択するビット線選択トランジスタは共通のソース／ドレイン拡散層を持って形成される。そして共通のソース／ドレイン拡散層は、隣接する奇数番目と偶数番目のビット線で共有されるセンスアンプにつながるセンス用ビット線に接続される。

#### 【0017】

この発明が適用される半導体記憶装置は好ましくは、セルアレイが、電氣的書き込み及び消去が可能な不揮発性メモリセルを配列して構成されている。更に好ましくは、セルアレイは、電氣的書き込み及び消去が可能な不揮発性メモリセルを配列して構成され、不揮発性メモリセルは、複数個ずつ隣接するもの同士でソース／ドレイン拡散層を共有して直列接続されたNANDセルユニットを構成する。

#### 【0018】

#### 【発明の実施の形態】

以下、図面を参照して、この発明の実施の形態を説明する。

図1は、一実施の形態によるNAND型EEPROMのビット線選択トランジスタのレイアウトを示している。図10に示したように、セルアレイ1は、複数（図の例では16個）の不揮発性メモリセルMC0～MC15が、隣接するもの同士でソース／ドレイン拡散層を共有する形で直列接続されたNANDセルユニットを構成して、マトリクス配列されている。各NANDセルユニットの一端は、選択トランジスタS1を介してビット線BL0又はBL1に接続され、他端は

選択トランジスタ  $S_2$  を介して共通ソース線  $CELSRC$  に接続される。メモリセル  $MC_0 \sim MC_{15}$  の制御ゲートはそれぞれ、ビット線  $BL_o$ ,  $BL_e$  と交差して配設されるワード線  $WL_0 \sim WL_{15}$  に接続される。選択トランジスタ  $S_1$ ,  $S_2$  のゲートはワード線と並行する選択ゲート線  $SGD$ ,  $SGS$  に接続される。

#### 【0019】

図1では、セルアレイの奇偶ビット線  $BL_o$ ,  $BL_e$  がピッチ  $a$  で配置される場合のビット線端部に配置されるビット線選択トランジスタを、16ビット線分で8段×2列に配置することは出来ないが、20ビット線分を10段×2列に配置する例を示している。ビット線総数は通常、16の整数倍  $16n$  である。ビット線総数が  $80n$  である場合には、図示のようにビット線80本毎に、ビット線選択トランジスタを、10段×8列配置すればよい。

#### 【0020】

即ちこのビット線トランジスタの配列は、通常ビット線ピッチの2のべき乗倍のピッチで配列されるところを、2のべき乗倍以外の整数倍の平均配列ピッチとしたことに特徴がある。

#### 【0021】

ビット線選択トランジスタは、ビット線方向に、 $(Q_0, Q_1)$ ,  $(Q_2, Q_3)$ ,  $(Q_{14}, Q_{15})$  のように、隣接する奇偶ビット線に接続される2段ずつが、ソース/ドレイン拡散層を共有して形成される。トランジスタはチャネル幅方向（即ちゲート幅方向）がビット線と直交する方向にレイアウトされており、ビット線と直交する方向に並ぶビット線選択トランジスタのゲートは、奇偶のビット線選択信号  $BLSo$ ,  $BLSe$  が供給される共通のゲート配線  $11_o$ ,  $11_e$  として形成される。

#### 【0022】

ビット線選択トランジスタのゲート幅方向（ゲート配線方向）の配列ピッチ  $b$  は、 $b = 10a$  とすればよい。10段×8列のビット線選択トランジスタは、16本のビット線毎に16個ずつ必要であり、図示のように、80ビット線の範囲に、16個ずつの5ブロック  $B_0 \sim B_4$  のビット線選択トランジスタが配置され

る。センスアンプ列12は、各ブロックB0～B4に対応して8個ずつのセンスアンプ群 $S/A<0>\sim S/A<4>$ が配置され、各センスアンプ群に16個のビット線選択トランジスタQ0～Q15の共通のソース/ドレイン拡散層から引き出される8本のセンス用ビット線が接続される。

#### 【0023】

図1は、ビット線総数が、16と10の最小公倍数である80の整数倍である例を示しており、このときビット線選択トランジスタは、上述のように10段×8n列に配置すればよい。そしてこのとき、ビット線選択トランジスタの配列ピッチは $b=10a$ とすればよい。しかし一般にビット線総数が80nではない場合には、ビット線選択トランジスタの段数が10段ではない部分を織り込むことが必要になる。

#### 【0024】

図2は、ビット線総数が $80n+16$ である場合のビット線選択トランジスタのレイアウトを、図1に対応させて示している。前述のように、ビット線80n本の範囲については、ビット線選択トランジスタは、20ビット線分ずつ10段×2列の配置とすることができ、残り16本については、8段×2列の配置とすればよい。このとき、ビット線選択トランジスタのゲート幅方向の配列ピッチbは、全体にわたって一定でもよいが、必ずしも一定である必要はない。図2に示すように、20ビット線分ずつの領域では平均トランジスタ配列ピッチは、 $b_1=10a-\alpha/4n$ であり、16ビット線分の領域では平均トランジスタ配列ピッチは、 $b_2=8a+\alpha$ となる。全体では、ビット線選択トランジスタの平均配列ピッチは、 $b=(80n+16)a/(8n+2)=10a-2a/(4n+1)$ となる。即ち、ビット線選択トランジスタのビット線と直交する方向の平均配列ピッチは、ビット線ピッチaの整数倍からずれた値になる。

#### 【0025】

図3～図7は、図2或いは図1におけるビット線選択トランジスタのレイアウトをより具体的に、配線部分を含めて、80ビット線部分についての16ビット線毎のブロックB0～B4毎に示したものである。これらの各ブロックB0～B4は、1カラムアドレスで8ビットデータを入出力するカラムアドレス<0>～

<4>に対応し、従って、各ブロック毎に8個ずつのセンスアンプ群  $S/A < 0 > \sim < 4 >$  が配置される。

#### 【 0 0 2 6 】

図3～図7に示すように、ビット線  $BL_0$ ,  $BL_e$  は、セルアレイ領域から、接続されるべきビット線選択トランジスタの領域まで延長して配線され、対応するソース/ドレイン拡散層に対して破線で示す横方向配線により接続される。横方向配線は、ビット線  $BL_0$ ,  $BL_e$  とは異なる層のメタル配線である。8個ずつのセンスアンプ群  $S/A$  には、それぞれセンス用ビット線  $SBL_0 \sim 7$  がセルアレイのビット線  $BL_0$ ,  $BL_e$  と並行して配設され、これらも破線で示す横方向配線により、各トランジスタ対の共通拡散層に接続される。

#### 【 0 0 2 7 】

図2は、ビット線総数が  $80n + 16$  の場合であるが、その他ビット線総数が  $80n + 32$ ,  $80n + 48$ ,  $80n + 64$  等の場合にも、ビット線選択トランジスタの段数が10段ではない部分を織り込むことが必要である。図8は、ビット線総数が  $80n + 48$  の場合を示している。この場合、 $80n$  ビット線部分は、微妙なビット線部とトランジスタ部とのピッチのずれを別にすれば、図1で説明したと同様に、10段  $\times$   $8n$  列のビット線選択トランジスタ配置とする。残り48ビット線部分に対応して、図8に示すように、10段  $\times$  4列 + 8段1列のトランジスタ配置とする。このときビット線選択トランジスタのゲート幅方向の配列ピッチ  $b$  は、平均すれば、 $b = (80n + 48)a / (8n + 5) = 10a - 2a / (8n + 5)$  となる。

#### 【 0 0 2 8 】

以下、図には示さないが、ビット線総数が  $80n + 32$  の場合には、10段  $\times$   $8n$  列と8段  $\times$  4列のトランジスタ配置とする。このときビット線選択トランジスタのゲート幅方向の配列ピッチ  $b$  は、平均すれば、 $b = 10a - 2a / (2n + 1)$  となる。またビット線総数が  $80n + 64$  の場合には、10段  $\times$   $(8n + 4)$  列と8段  $\times$  3列のトランジスタ配置とする。このときビット線選択トランジスタのゲート幅方向の配列ピッチ  $b$  は、平均すれば、 $b = 10a - 6a / (8n + 7)$  となる。

## 【0029】

以上をまとめるとこの実施の形態においては、ビット線選択トランジスタのビット線と直交する方向の配列ピッチは、平均して、8ビット線分より大きく10ビット線分以下である。即ちこのトランジスタの平均配列ピッチをビット線ピッチの10倍或いは整数倍からずれた値にする設定することで、8ビット線分の周期に収められない場合にも余裕を持ってビット線選択トランジスタを配置することができる。しかも、16ビット線分の周期で配置する場合のような無駄な面積をとらない。トランジスタ配列に一部、段数の異なる部分が生じるものの、高いチップ面積効率が期待できる。

## 【0030】

ここまでの実施の形態では、隣接する奇偶ビット線BL<sub>o</sub>、BL<sub>e</sub>に接続されるビット線選択トランジスタの対を、ビット線方向に並ぶようにレイアウトしている。これに対して、トランジスタを90°回転させて、隣接する奇偶ビット線BL<sub>o</sub>、BL<sub>e</sub>に接続されるビット線選択トランジスタの対を、ビット線と直交する方向に並ぶように、言い換えればゲート長方向がビット線と直交するようにレイアウトすることもできる。その様な実施の形態のビット線選択トランジスタのレイアウトを、図9に示す。

## 【0031】

ここでは、トランジスタ対のゲート長方向の幅が40ビット線分に収まる場合を示している。ビット線総数が40の整数倍であれば、40ビット線分の幅b<sub>1</sub>(=40a)内に20段のトランジスタ対を配置することにより、面積の無駄なく、ビット線選択トランジスタのレイアウトができる。但し図9では、ビット線総数が40の整数倍と42の整数倍の和として表させる場合を示している。このとき、42ビット線分の幅b<sub>2</sub>(=42a)内には、21段のトランジスタ対を配置する。この結果、ビット線と直交する方向のビット線選択トランジスタの配列ピッチの平均は、b<sub>1</sub>より大きく、b<sub>2</sub>より小さいものとなる。

## 【0032】

ビット線BL<sub>o</sub>、BL<sub>e</sub>及びセンス用ビット線SBLと各トランジスタ拡散層の接続は、先の実施の形態と同様に、破線で示す横方向の交差配線を利用して行

うことができる。

この実施の形態によっても、ビット線方向のビット線選択トランジスタの段数が一部異なるものの、面積効率のよいトランジスタ配置が可能になる。

### 【 0 0 3 3 】

上記実施の形態では、センスアンプをビット線の片側にのみ配置する場合を説明したが、ビット線ピッチの微細化が更に進むと、この様なセンスアンプ配置が困難になる場合もある。その場合には、例えば 8 I / O のうち、4 I / O ずつを、ビット線の両端に振り分けて配置することが有効になる。

### 【 0 0 3 4 】

#### 【発明の効果】

以上述べたようにこの発明によれば、面積効率を低下させることなくビット線選択トランジスタを配置した半導体記憶装置を提供することができる。

#### 【図面の簡単な説明】

#### 【図 1】

この発明の実施の形態によるビット線選択トランジスタのレイアウトを示す図である。

#### 【図 2】

他の実施の形態によるビット線選択トランジスタのレイアウトを示す図である。

#### 【図 3】

図 2 のトランジスタブロック B 0 とその配線レイアウトを示す図である。

#### 【図 4】

図 2 のトランジスタブロック B 1 とその配線レイアウトを示す図である。

#### 【図 5】

図 2 のトランジスタブロック B 2 とその配線レイアウトを示す図である。

#### 【図 6】

図 2 のトランジスタブロック B 3 とその配線レイアウトを示す図である。

#### 【図 7】

図 2 のトランジスタブロック B 4 とその配線レイアウトを示す図である。

【図 8】

他の実施の形態によるビット線選択トランジスタのレイアウトを示す図である

【図 9】

他の実施の形態によるビット線選択トランジスタのレイアウトを示す図である

【図 1 0】

NAND型EEPROMのセルアレイ構成を示す図である。

【図 1 1】

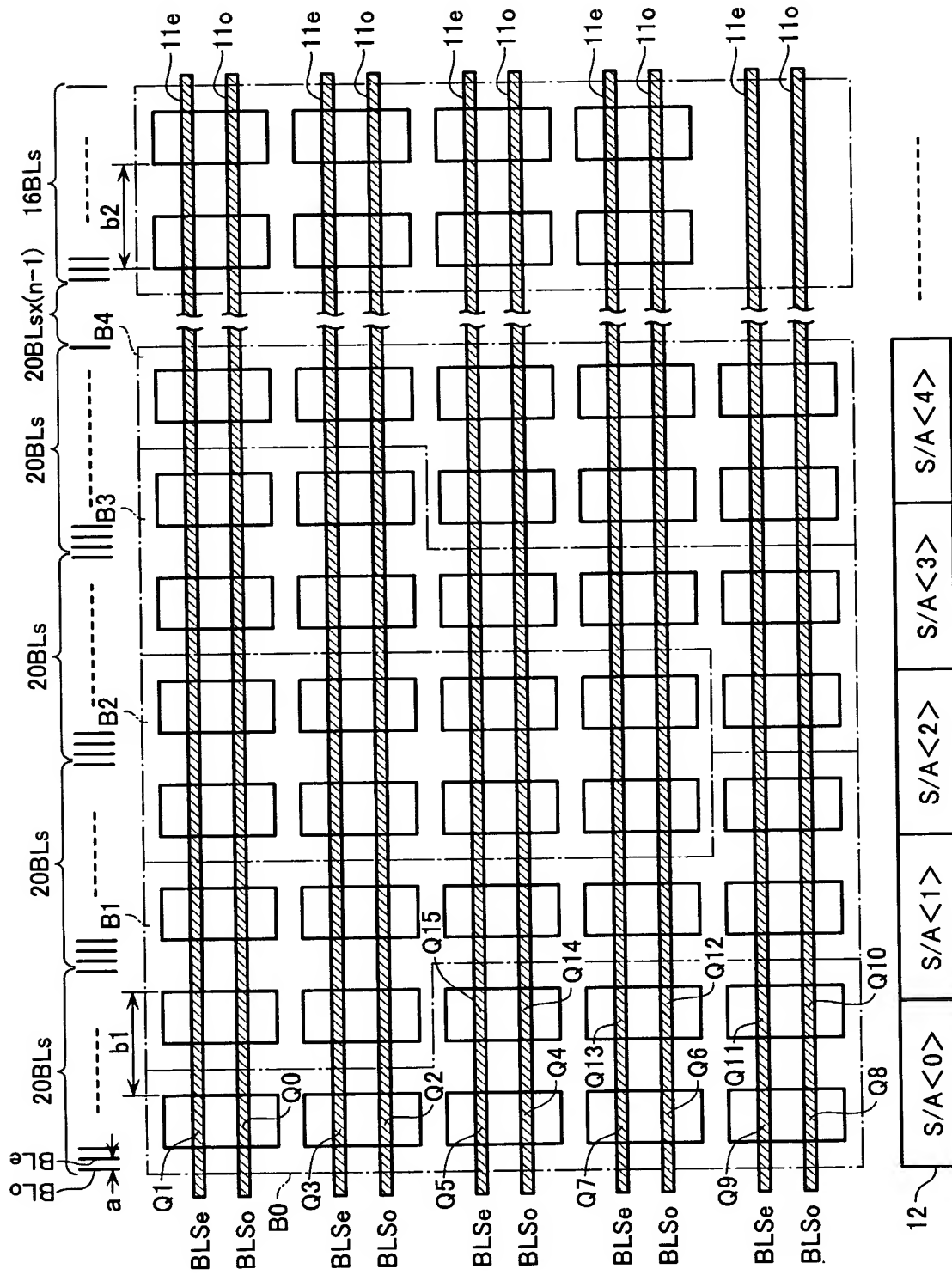
従来のNAND型EEPROMにおけるビット線選択トランジスタのレイアウトを示す図である。

【符号の説明】

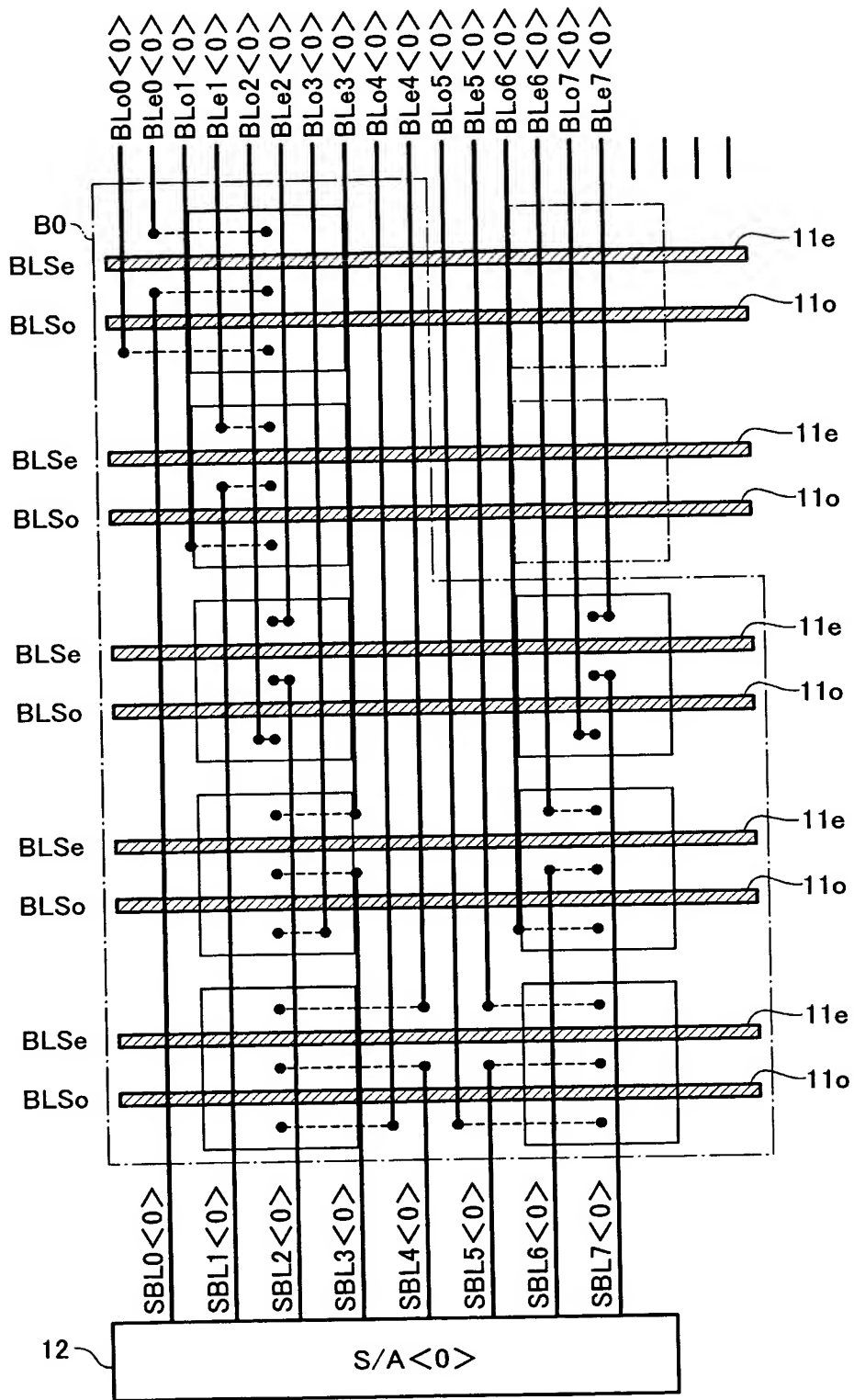
BL<sub>o</sub>, BL<sub>e</sub>…ビット線、Q<sub>0</sub>～Q<sub>15</sub>…ビット線選択トランジスタ、BL<sub>S</sub><sub>o</sub>, BL<sub>S</sub><sub>e</sub>…ビット線選択信号、11<sub>o</sub>, 11<sub>e</sub>…ゲート配線、12…センスアンプ列。



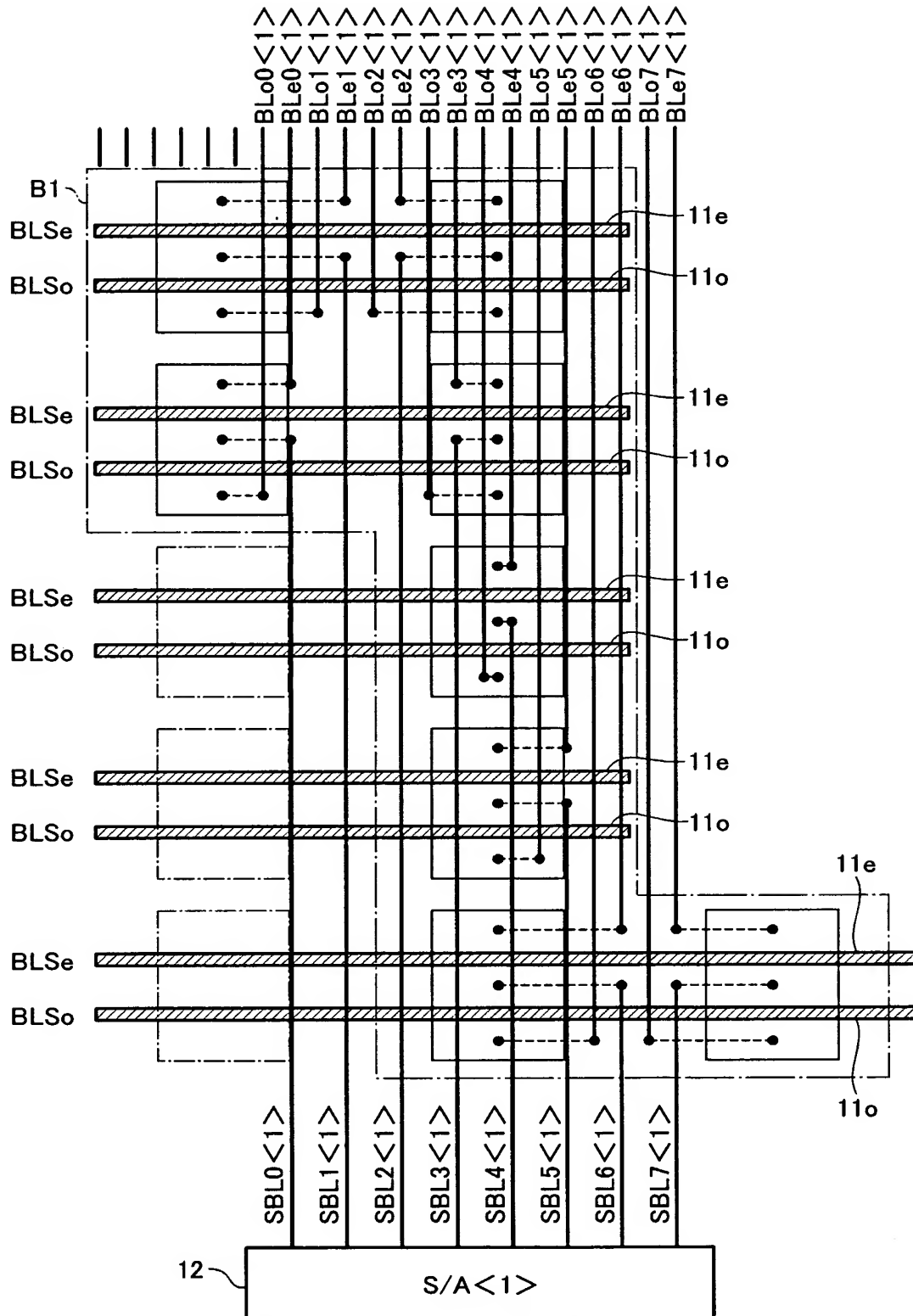
【图 2】



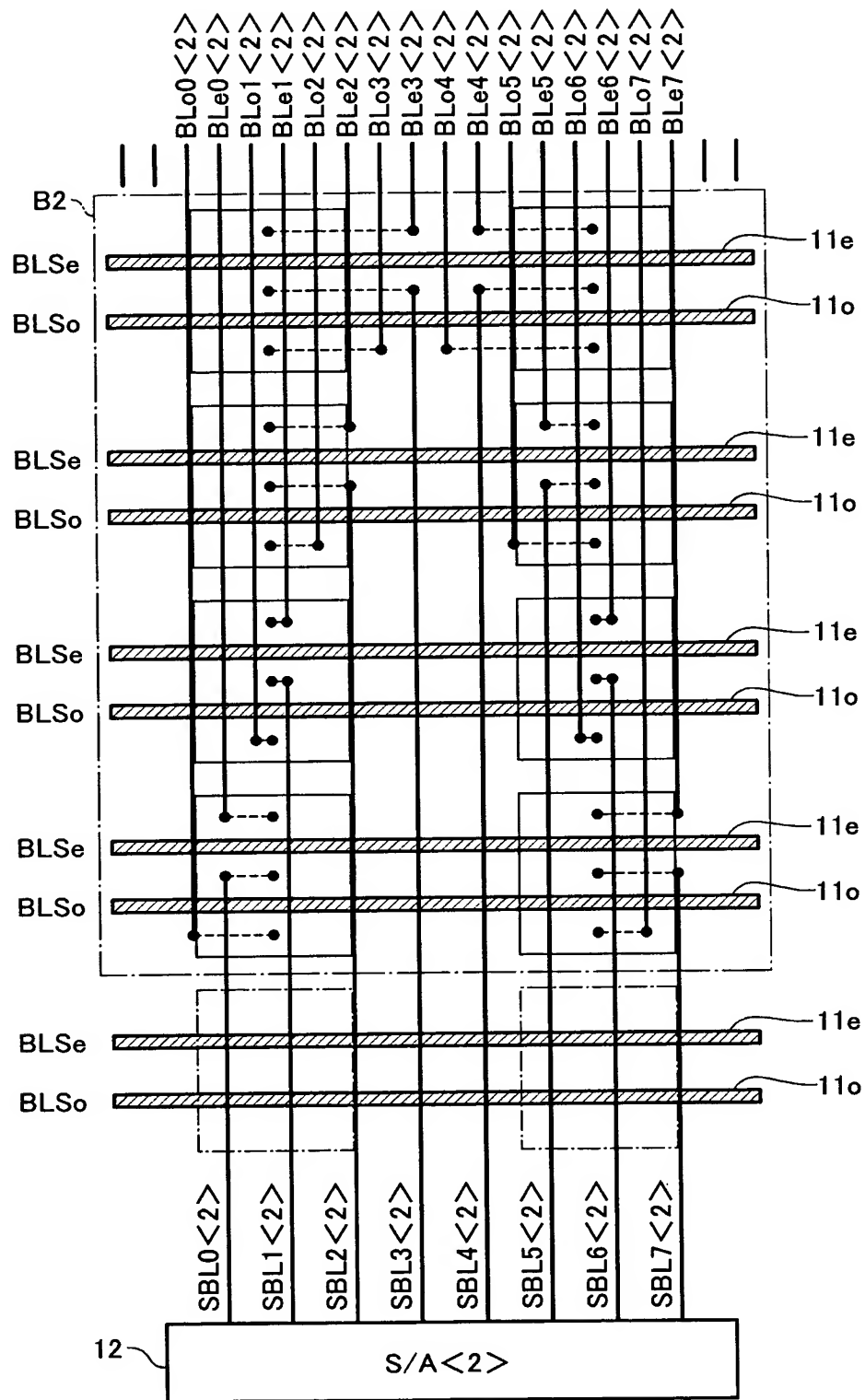
【図 3】



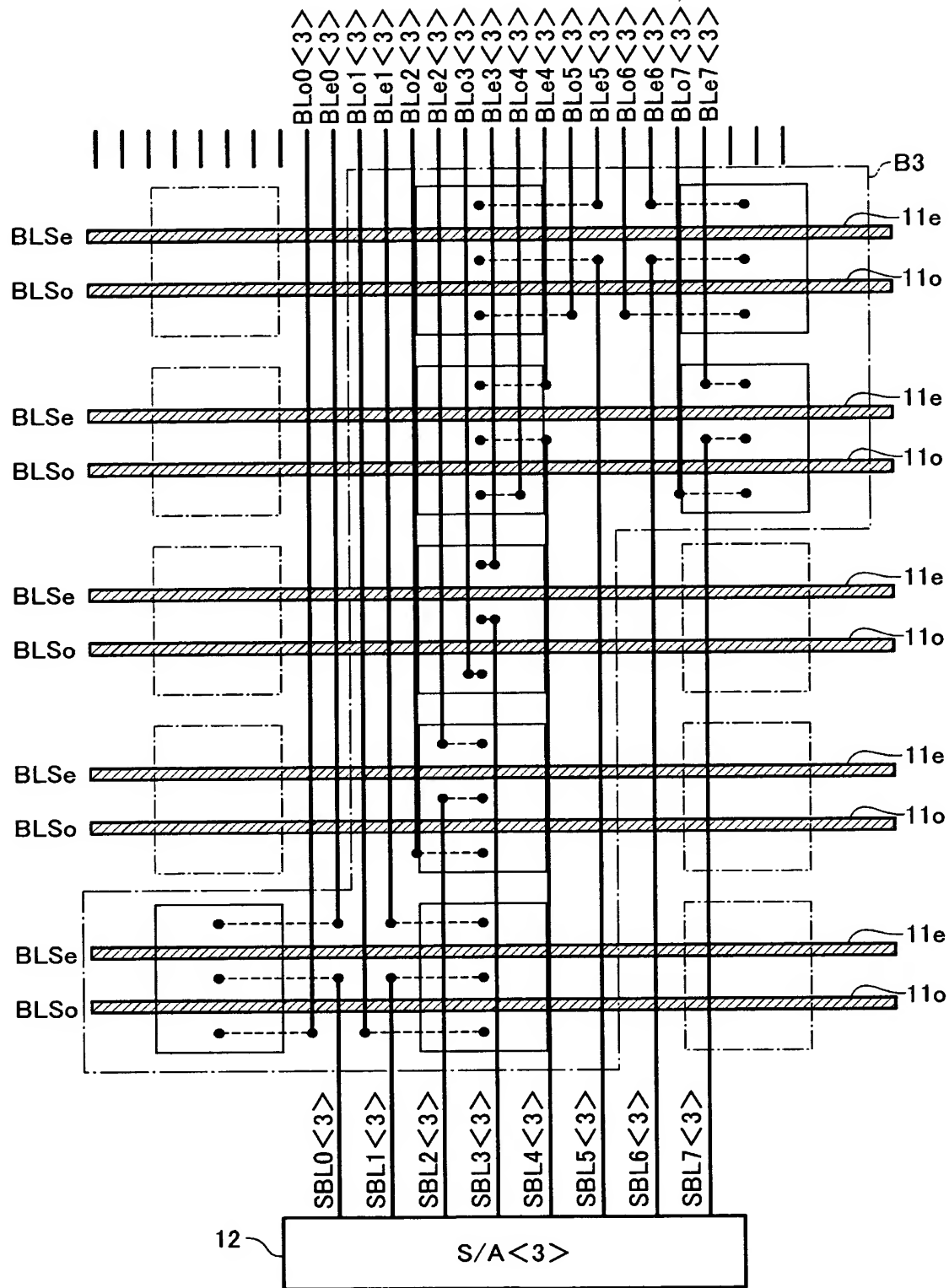
【図 4】



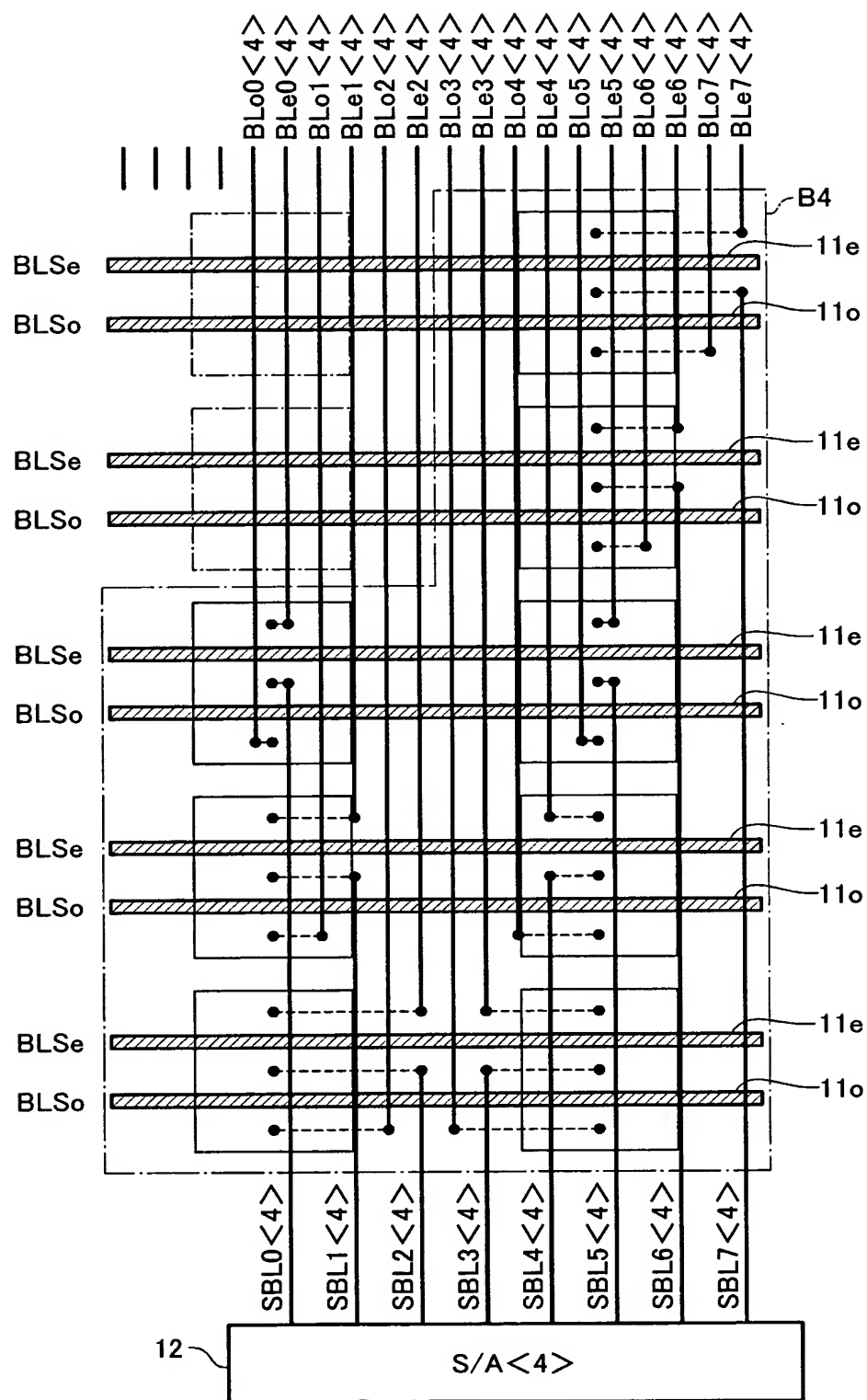
【図 5】



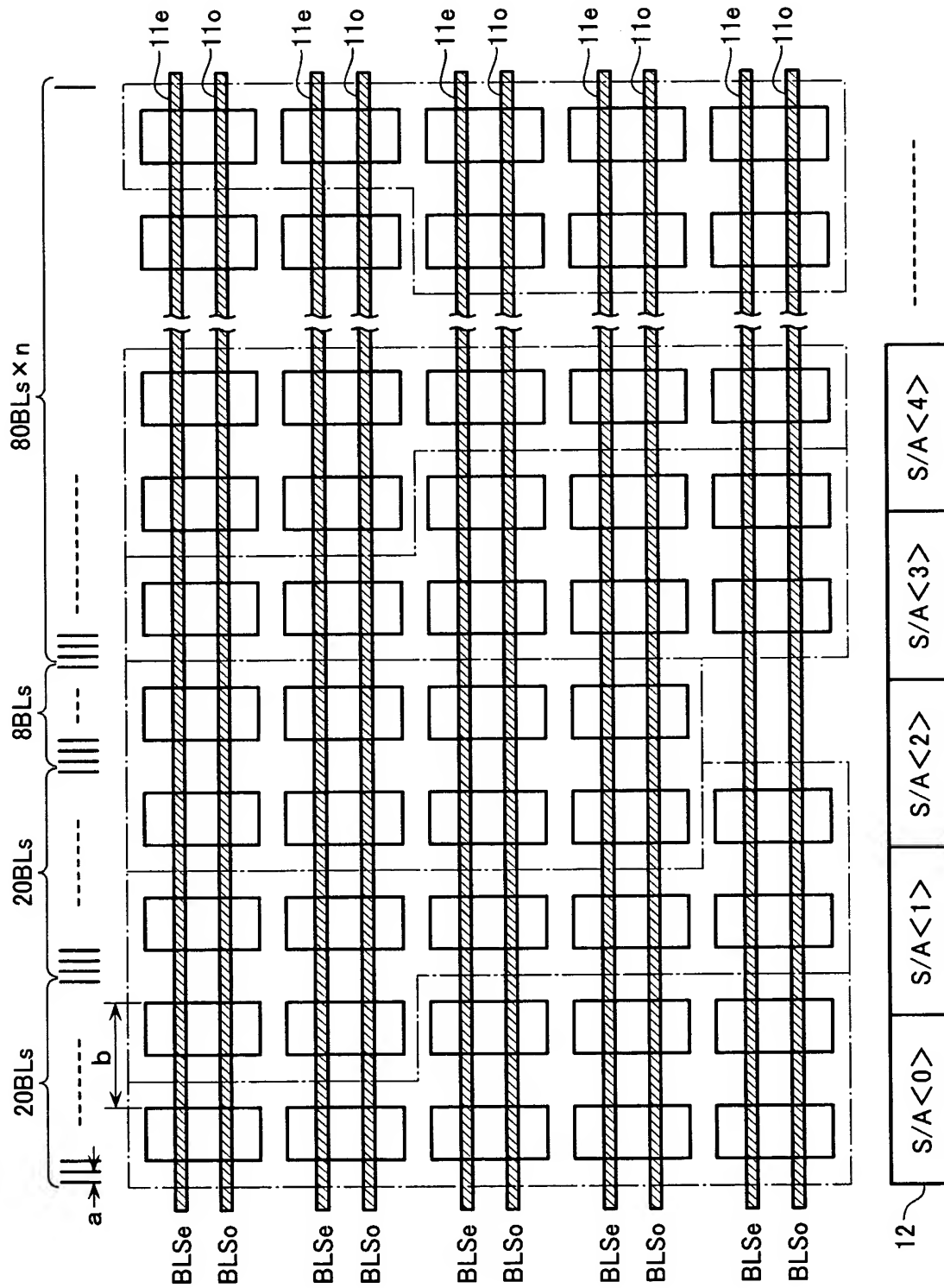
【図 6】



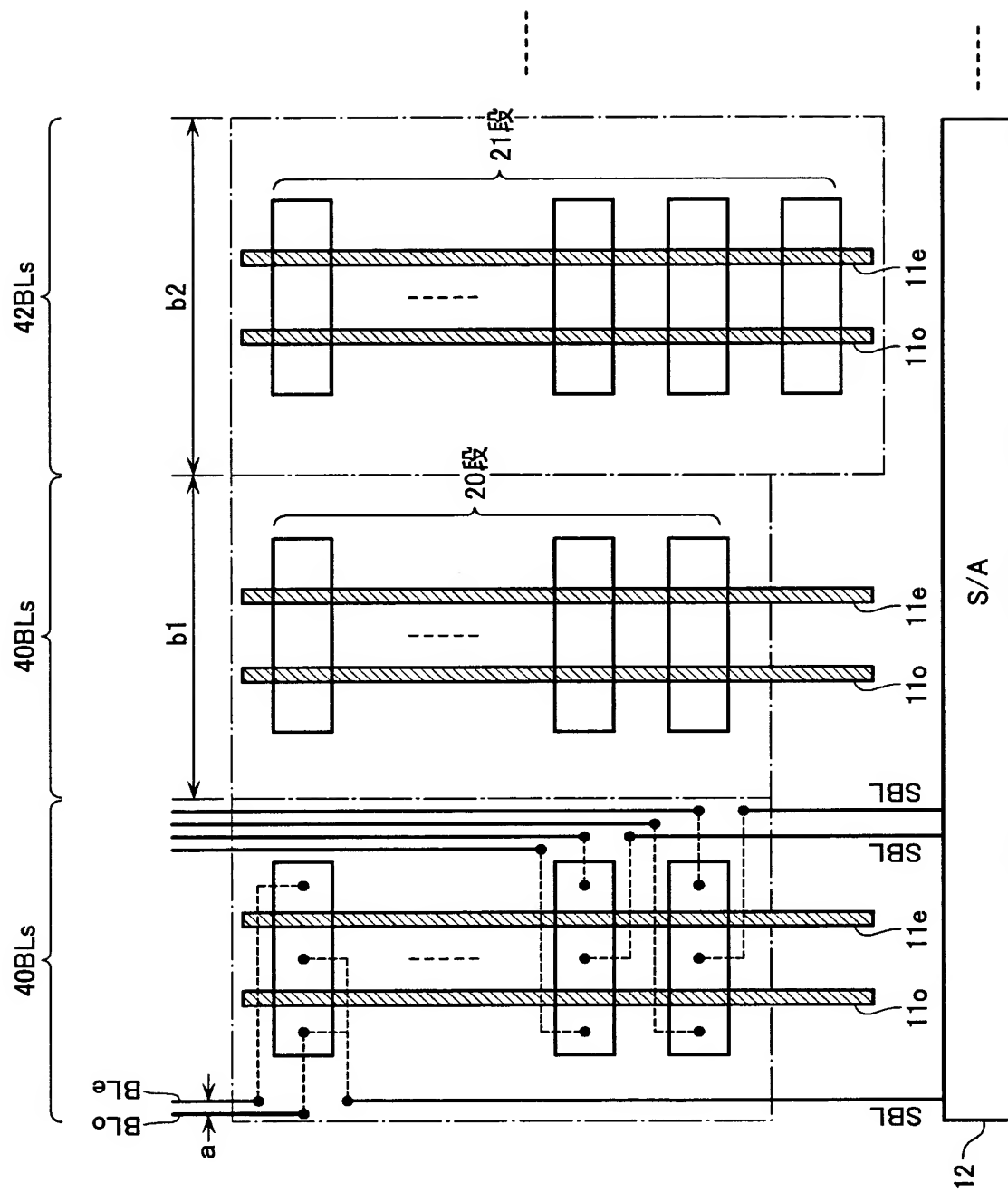
【図 7】



【図 8】

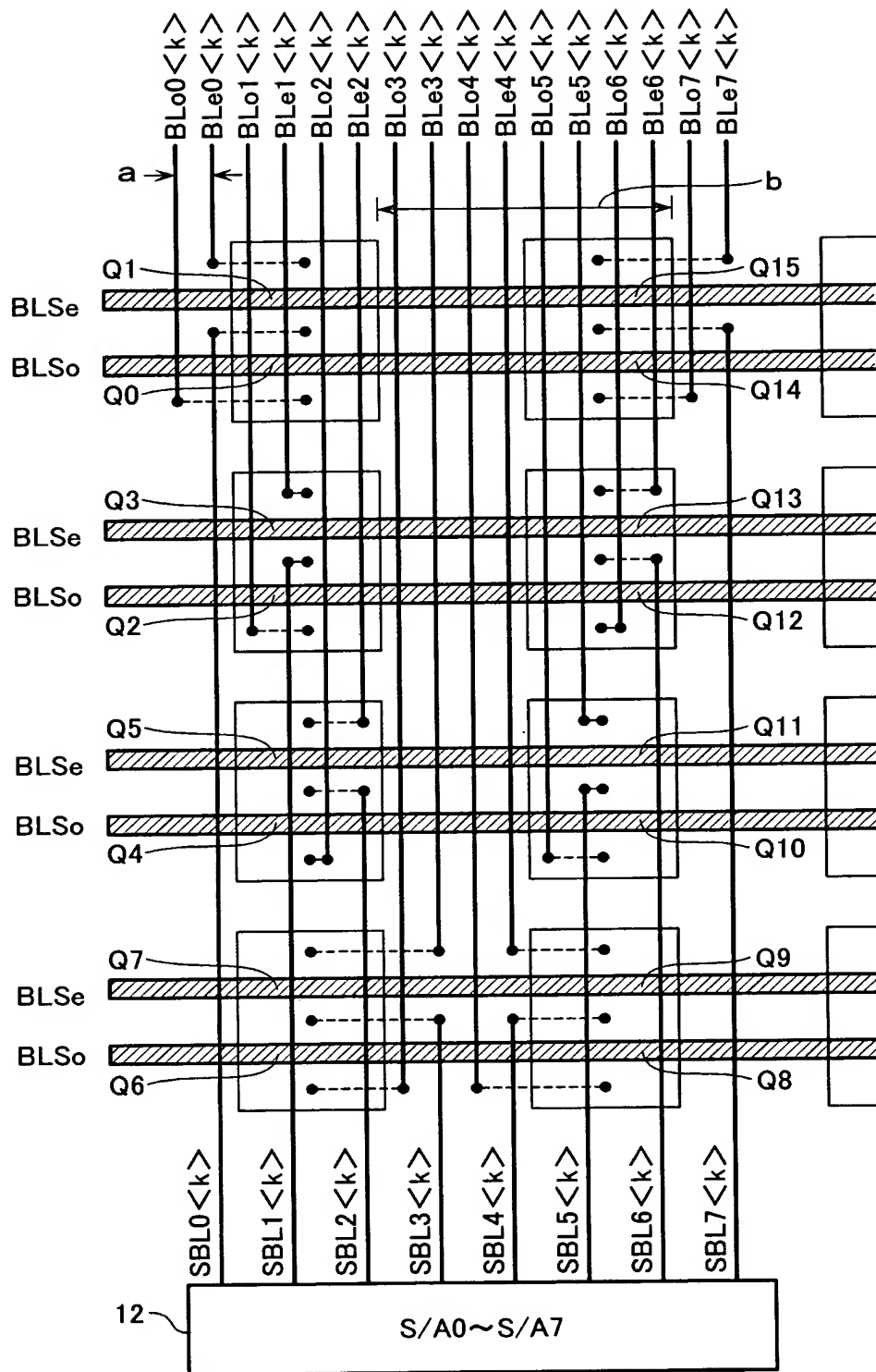


【図 9】





【図 11】



【書類名】 要約書

【要約】

【課題】 面積効率を低下させることなくビット線選択トランジスタを配置した半導体記憶装置を提供する。

【解決手段】 一様なピッチで配列されたビット線を有するセルアレイと、ビット線を選択的にセンスアンプに接続するための各ビット線端部に接続されたビット線選択トランジスタとを備え、ビット線選択トランジスタは、ビット線と直交する方向に、ビット線のピッチの整数倍からずれた平均配列ピッチをもって並進配列される。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	2001年 7月 2日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目1番1号
氏 名	株式会社東芝